Триггеры

**6.1. Общие сведения.***Триггерами*, или *спусковыми устройствами*, называют устройства, имеющие два состояния устойчивого равновесия. Каждое из этих состояний может сохраняться сколь угодно длительное время. Переход из одного состояния устойчивого равновесия в другое осуществляется скачком под воздействием внешнего управляющего напряжения.

Перепады выходного напряжения или устойчивые состояния триггера можно принять в качестве логической информации «0» и «1». Поэтому триггер можно использовать в качестве запоминающего устройства, которое хранит один разряд числа, представленного в двоичном коде.

Триггеры подразделяются на две группы — статические и динамические. *Статическими* называют триггеры, у которых каждое состояние характеризуется неизменным уровнем (потенциалом) выходного напряжения. Статические триггеры называют также *потенциальными*. В *динамических* триггерах одно из состояний (обычно единичное) характеризуется наличием на выходе непрерывной последовательности импульсов определенной частоты, а другое (нулевое) — отсутствием импульсов.

Статический триггер реализуется на двухкаскадном усилителе с положительной ОС. Каждый усилитель образует одно плечо триггера. Если оба плеча обладают симметрией по схемотехнике и по параметрам входящих в них элементов, то такой триггер называют *симметричным*. Если симметрия отсутствует, то триггер называется *несимметричным*.

Интегральные триггеры используются как самостоятельные устройства и, кроме того, входят в состав различных функциональных устройств: счетчиков, регистров, запоминающих устройств и т.п. Современные интегральные триггеры часто строятся на основе нескольких логических элементов, объединенных в одну микросхему. Они могут иметь несколько входов и различаться способами ввода входной информации.

На схемах входы триггера обозначают буквами латинского алфавита в соответствии с табл. 6.1. По названиям информационных входов называют и триггеры: RS-триггер, D-триггер, JK-триггер и др.

В зависимости от схемы управляющего устройства триггеры делятся на синхронные и асинхронные. *Асинхронные*триггеры имеют только информационные (логические) входы, и в них запись информации осуществляется в момент ее поступления. В *синхронных* триггерах запись информации, поступившей на информационные входы, происходит только при поступлении на синхронизирующий (тактирующий) вход дополнительного командного импульса. Синхронные триггеры могут иметь и асинхронные входы, которые обычно служат для установки триггера в нужное исходное состояние.

Асинхронные триггеры используются в качестве коммутаторов, ключей, счетчиков импульсов, делителей частоты повторения импульсов и т.п. Синхронные триггеры применяются в вычислительной и цифровой технике.

Таблица 6.1. Функциональное назначение входов триггера

|  |  |
| --- | --- |
| Условное обозначение | Назначение |
| SRJKTDVC | *Информационные входы*Вход для раздельной установки триггера в состояние 1Вход для раздельной установки триггера в состояние 0Вход для установки в состояние 1 JK-триггераВход для установки в состояние 0 JK-триггераСчетный вход триггераВход для установки триггера в состояния 0 или 1*Управляющие входы*Подготовительный вход для разрешения приема информацииПодготовительный вход для осуществления приема информации. Вход синхронизации |

Триггеры, переключающиеся по уровню входных сигналов, называют триггерами *со статическим управлением*, а по фронтам и срезам — триггерами *с динамическим управлением*.



Рис. 6.1. Условные обозначения триггеров

На схемах триггер изображают прямоугольником, разделенным вертикальной линией на две части (рис. 6.1.): правая часть — основное поле, левая — дополнительное. В основном поле помещается буква Т, а в дополнительном у каждого входа пишется буква (метка), указывающая на его функциональное назначение в соответствии с табл. 6.1. Статические прямые входы и выходы отображают прямыми линиями без каких-либо индикаторов, а инверсные имеют дополнительный индикатор в виде маленького кружка на стороне прямоугольника (рис. 6.1, а). Динамические входы обозначают небольшими треугольниками. У прямых динамических входов, вызывающих «опрокидывание» триггера при изменении уровня сигнала от 0 к 1, острие треугольника направлено внутрь поля (рис. 6.1, б), а у инверсных, вызывающих опрокидывание триггера при изменении уровня сигнала от 1 до 0, — наружу (рис. 6.1, в).

У триггера может быть несколько информационных входов, связанных в группы операциями И либо ИЛИ. Группа входов, связанная операцией И, в дополнительном поле помечается символом логического умножения. Группа входов, связанная операцией логического сложения ИЛИ, дополнительных символов в условном обозначении не имеет (рис. 6.1, г).

**имметричный триггер на биполярных транзисторах.**Упрощенная принципиальная схема симметричного транзисторного триггера приведена на рис. 6.2, *а*,а его временные диаграммы — на рис. 6.2, *б*. Если допустить, что после подачи напряжения источника на триггер оба транзистораVТ1 и VТ2 оказались открытыми, то вследствие даже незначительного отличия параметров элементов первого и второго плеч появятся различия в коллекторных токах и напряжениях, которые благодаря действию положительной ОС будут увеличиваться до тех пор, пока один из транзисторов не закроется, а другой не перейдет в режим насыщения.



Рис.6.2. Схема симметричного триггера (а) и графики напряжений на его входах и выходах

**RS-триггеры на логических элементах.**Асинхронные RS-триггеры являются простейшими и выполняются на двух двухвходовых логических элементах типа И — НЕ либо ИЛИ — НЕ.

*Асинхронные RS-триггеры на ЛЭ ИЛИ — НЕ*. Асинхронный RS-триггер на двух логических элементах ИЛИ — НЕ (рис. 6.3, а) содержит два информационных входа и, на которых возможны четыре комбинации логических сигналов:;;и.



Рис.6.3. Схема (а) и условное обозначение (б) асинхронного RS-триггера

на ЛЭ ИЛИ - НЕ с прямым управлением

Этим комбинациям соответствуют определенные сигналы на выходах триггера и, что отображается таблицей состояний триггера (табл. 6.2). В ней приняты следующие обозначения:и- моменты времени до и после срабатывания триггера;и- сигналы на информационных входах в момент;и- сигналы на прямом выходе в моменты времении.

На основании таблицы состояний и карты Карно можно получить выражение для логической (переключательной) функции для RS-триггера с прямым входом, которая имеет вид:

(6.1)

Таблица 6.2. Состояния -триггера с прямым управлением

|  |  |
| --- | --- |
| https://studfile.net/html/2706/381/html_ptLiBrcp1T.ORKx/img-RQmYO7.png | https://studfile.net/html/2706/381/html_ptLiBrcp1T.ORKx/img-1jI5KB.png |
| https://studfile.net/html/2706/381/html_ptLiBrcp1T.ORKx/img-307CTq.png | https://studfile.net/html/2706/381/html_ptLiBrcp1T.ORKx/img-JC7iFY.png | https://studfile.net/html/2706/381/html_ptLiBrcp1T.ORKx/img-BN5025.png |
| 0 | 0 | https://studfile.net/html/2706/381/html_ptLiBrcp1T.ORKx/img-Awbms5.png |
| 1 | 0 | 1 |
| 0 | 1 | 0 |
| 1 | 1 | x |

Из таблицы состояний и выражения (6.1) видно, что первая комбинация входных сигналов не вызывает изменения состояния триггера. Действительно, если к моменту временисостояние триггера характеризовалось сигналами, , то в момент на входах верхнего ЛЭ будут действовать нулевые сигналы, и на его выходебудет логическая 1 (). В это же время на верхнем входе нижнего ЛЭ будет логическая 1, на нижнем входе— логический 0, в результате чего на его выходебудет поддерживаться логический 0 (). Аналогично можно показать, что при данной комбинации входных сигналов состояние триггера, соответствующее выходным сигналам, и, также не изменится. По этой причине комбинацию входных сигналовназывают*режимом памяти*.

**D-триггеры. -**триггеры имеют один информационный вход **** и могут быть асинхронными или синхронными. Наибольшее применение получили синхронные **-**триггеры. Простейший синхронный **-**триггер (рис. 6.7, а) выполнен на ЛЭ итипа И — НЕ по схеме -триггера и является ячейкой памяти. Логические элементы иобразуют схему управления.



Рис. 6.7. Схема (а) и условное обозначение (б) -триггера на логических элементах И — НЕ

Сигнал на выходе ****-триггера принимает такое же значение, какое имеется на информационном входе **** во время действия синхронизирующего импульса. Это значение хранится (запоминается) в триггере до прихода следующего синхронизирующего импульса, так как в паузах между синхронизирующими импульсами на входах ячейки памяти действует нейтральная комбинация сигналов . Следовательно, в ****-триггере осуществляется задержка на один такт сигнала, поступающего на информационный вход ****. Поэтому ****-триггер называют *триггером задержки*.

В ****-триггере вместо ЛЭ И— НЕ можно использовать ЛЭ ИЛИ —НЕ. В последнем случае для синхронизации потребуются импульсы нулевого уровня.

**JK-триггеры.**JK-триггер функционирует подобно -триггеру, с той лишь разницей, что не имеет запрещенной комбинации входных сигналов. Вход выполняет роль входа, а вход— роль входа. При входной комбинации, эквивалентной запрещенной комбинациидля -триггера, состояние-триггера изменяется на противоположное.

*Одноступенчатый -триггер*. Структурная схема -триггера показана на рис. 6.9, а. На ЛЭ ивыполнена ячейка памяти, представляющая -триггер. Элементы иобразуют схему управления, аиосуществляют задержку сигналов, поступающих на входы ячейки памяти. Особенностью -триггера является наличие цепей обратной связи с выходов на входы, поэтому его состояние зависит не только от входных сигналови, но и от сигналов на выходахи.

Работа JK-триггера определяется таблицей состояния (6.5) и логической (переключательной) функцией:

(6.4)

Если , то независимо от сигналовина выходах ЛЭ и будет нейтральная комбинация, сохраняющая информацию в ячейке памяти. При ипо-прежнему промежуточный сигнал , а значение сигнала  зависит от состояния ячейки памяти. Если и, то на входе ЛЭ будут сигналы ,и . Состояние ячейки памяти не изменится. Если же , а, то , на выходе ЛЭ  образуется сигнал , а на выходе ЛЭ  — сигнал . Аналогичным образом приив ячейку памяти записывается логический нуль, если она находилась в состоянии логической единицы, или подтверждается ее нулевое состояние.



Рис. 6.9. Схема (а) и условное обозначение (б) асинхронного -триггера

**T-триггеры. **-триггер представляет собой триггер со счетным входом (или счетным запуском). Он изменяет свое состояние на противоположное при поступлении на вход **** каждого запускающего импульса.

Состояния ****-триггера при различных значениях входных сигналов можно кратко отразить таблицей состояний (табл. 6.7).

Таблица. 6.7. Состояния ****-триггера

|  |  |  |
| --- | --- | --- |
| https://studfile.net/html/2706/381/html_ptLiBrcp1T.ORKx/img-jE3iW5.png | https://studfile.net/html/2706/381/html_ptLiBrcp1T.ORKx/img-Q2aaik.png | https://studfile.net/html/2706/381/html_ptLiBrcp1T.ORKx/img-bBTP5g.png |
| 0 | 0 | 0 |
| 1 | 0 | 1 |
| 1 | 1 | 0 |
| 0 | 1 | 1 |

Логическая функция, определяющая работу асинхронного ****-триггера, имеет вид

(6.7)

Для синхронного ****-триггера можно записать

(6.8)

В интегральном исполнении ****-триггеры не выпускаются, так как они легко получаются из -, - или-триггеров.

На рис. 6.12, *а* показано преобразование двухступенчатого -триггера в ****-триггер. В те такты, когда (при этом), синхронизирующий импульсустанавливает первый триггер в единичное состояние. Это состояние переписывается во второй триггер после прекращения действия синхронизирующего импульса На выходе триггера образуются сигналы,. При поступлении следующего синхронизирующего импульса первый триггер сигналомустанавливается в нулевое состояние, которое записывается во второй триггер после окончания действия синхронизирующего импульса:.



Рис. 6.12. Схема (а) и условные обозначения (б, в) -триггера, выполненного на синхронных-триггерах